

E-mode(Enhancement mode) HEMT 구현 및 Driving current 개선

E mode(Normally – off) HEMT implementation & improvement of driving current

2025
전자공학과
산학박람회

Researcher 남윤주, 김학운, 박재근

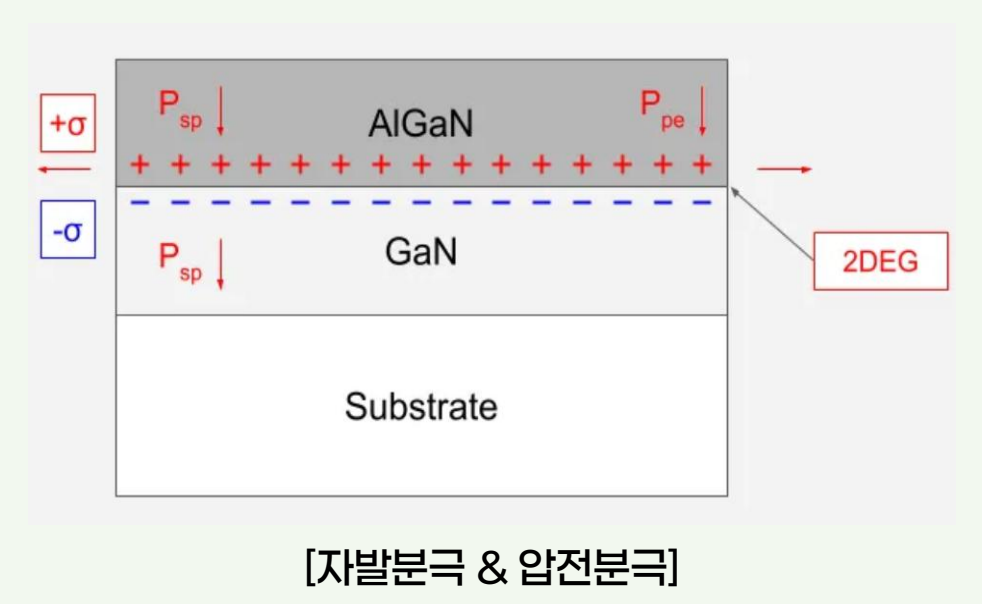
Professor 이준석 교수님



ABSTRACT

Why this technology?

: HEMT는 분극에 의해 2DEG가 형성되는 특징을 지닌다. 분극에는 자발 분극(Spontaneous Polarization)과 압전 분극(Piezoelectric Polarization)이 존재하며, 본 연구에서는 압전 분극을 활용하여 소자의 전류 특성을 향상시키고자 한다.

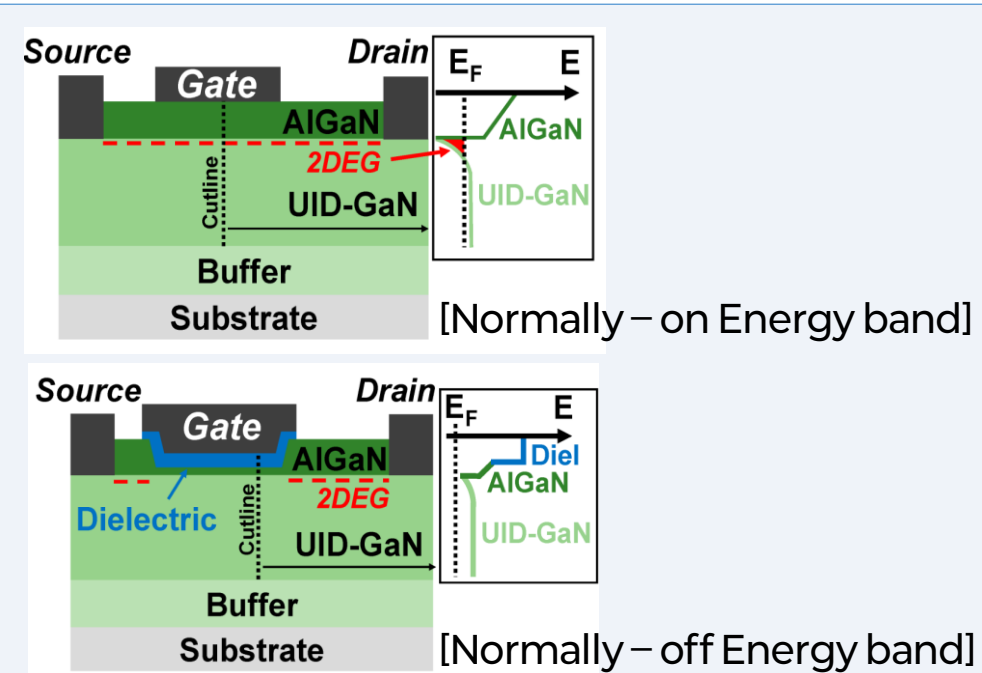


[자발분극 & 압전분극]

What is D/E mode ?

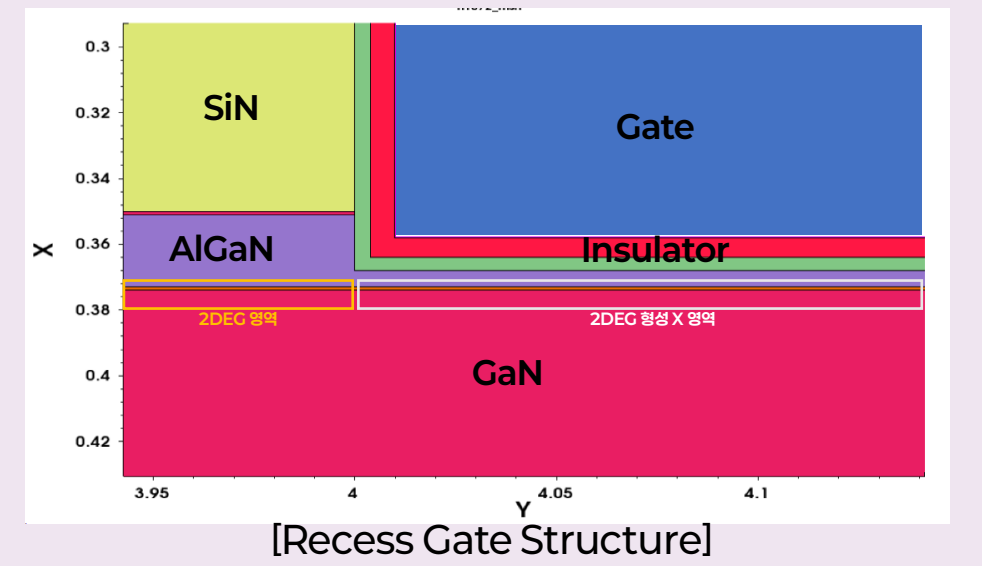
Depletion Mode는 Normally – ON 소자로서 Threshold Voltage 값이 음수인 구조이다. Gate 전압 $V_g=0V$ 에서 이미 채널이 형성되어 있는 상태를 의미한다.

반면 Enhancement Mode는 Normally – OFF 소자로서 Threshold Voltage 값이 양수인 구조이며, $V_g=0V$ 에서는 채널이 형성되지 않는 상태이다.



How to make E mode?

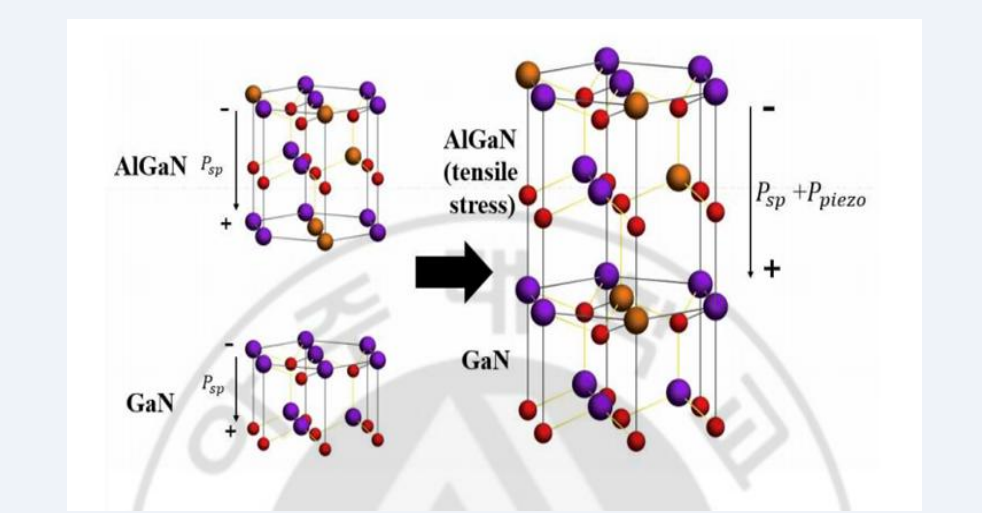
: Recess gate 구조를 적용하여 E mode를 구현하였다. AlGaIn barrier layer는 2DEG를 형성할 수 있는 임계 두께가 존재한다. 이 임계 값 이하로 감소시키면 분극이 줄어들어 Gate Voltage = 0V 일 때 2DEG가 형성되지 않는 Normally-Off 상태를 구현할 수 있다.



[Recess Gate Structure]

What is Piezoelectric Polarization?

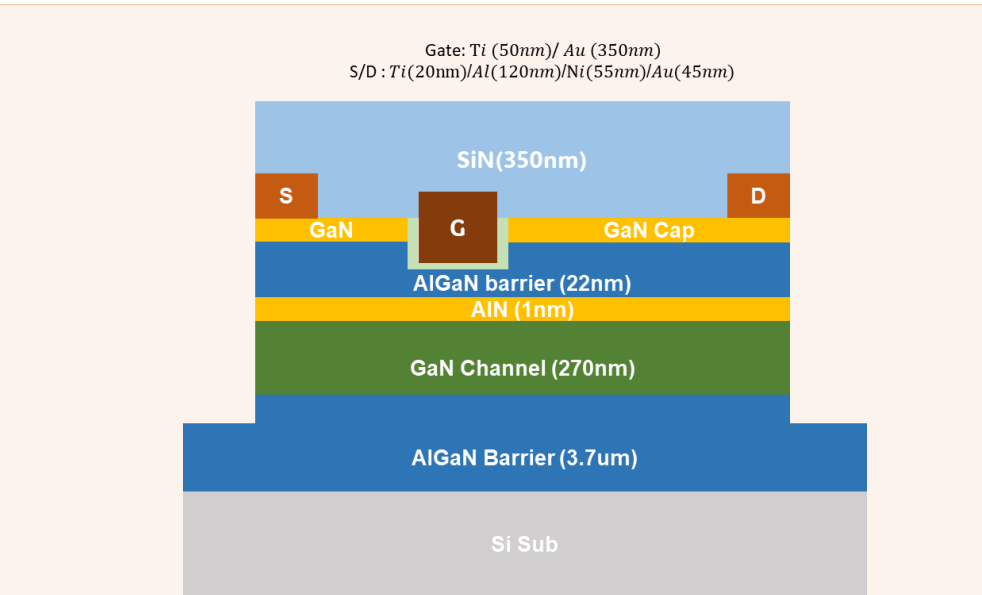
: GaN/AlGaIn은 비대칭성을 갖는 Wurtzite 결정 구조로 인해 자발 분극이 형성되며, AlGaIn과 GaN의 격자 상수 차이로 인해 압전 분극이 추가로 형성된다. SiN passivation layer를 통해 AlGaIn layer에 Tensile stress를 가함으로써 압전 분극을 강화하고 HEMT의 전류 특성을 향상시키고자 한다.



[AlGaIn/GaN 격자 구조]

Final

: SiN Passivation layer에 Tensile 과 Compressive Stress를 각각 적용하여 Stress 조건에 따른 특성 변화를 확인하고 소자 성능 개선을 진행하였다.



[Final HEMT Structure]



OBJECTIVES

1. Normally - Off 구현

: Gate Voltage = 0V에서 Off state가 되는 AlGaIn Barrier 두께를 설정하여 E mode를 구현한다.

2. Gate Leakage current 감소

: High-k insulator 를 사용하여 leakage current를 감소할 뿐만 아니라 switching도 빠르게 일어나도록 유도한다.

3. Driving Current 향상(Stress, Lsg, Insulator 두께 및 물질)

: Driving Current를 향상시켜 더 낮은 전압에서 구동할 수 있도록 한다.



METHODOLOGY

STEP 1

- Recess AlGaIn thickness 설정
- Insulator material, thickness 설정
- SiN passivation stress 설정
- Lsg, Lgd 설정

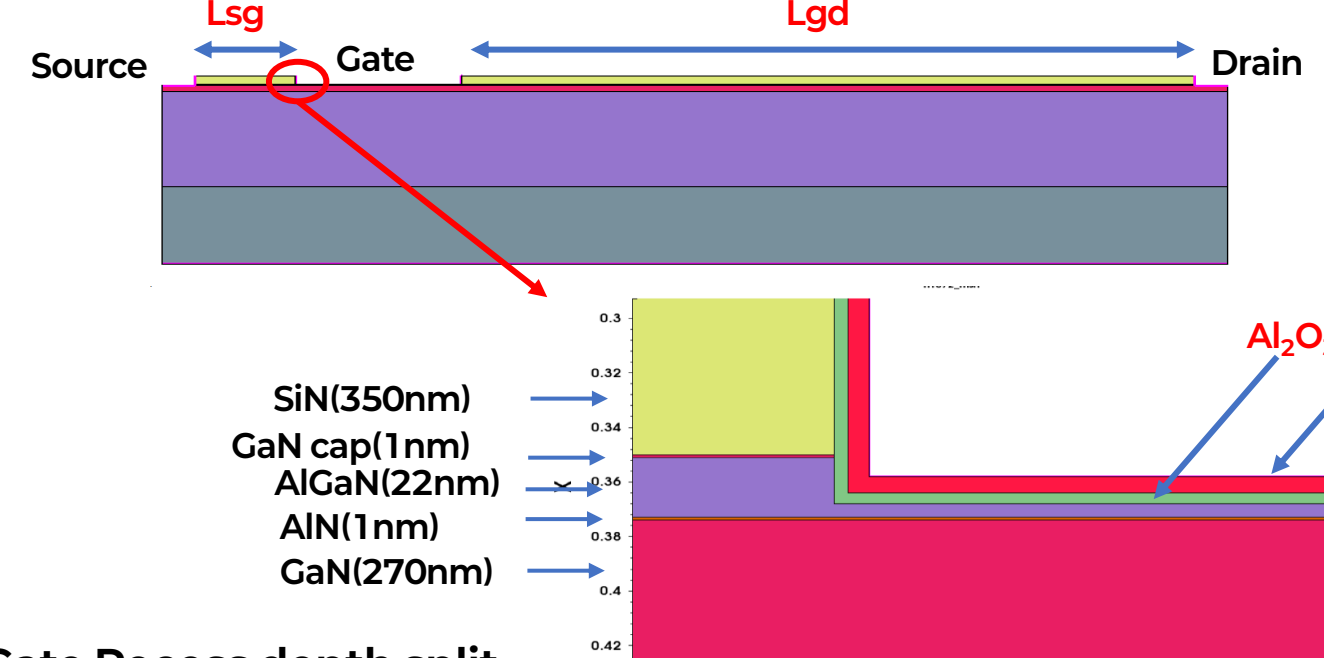
STEP 2

TCAD Sentaurus Simulation 진행을 통한 최적의 구조 설정

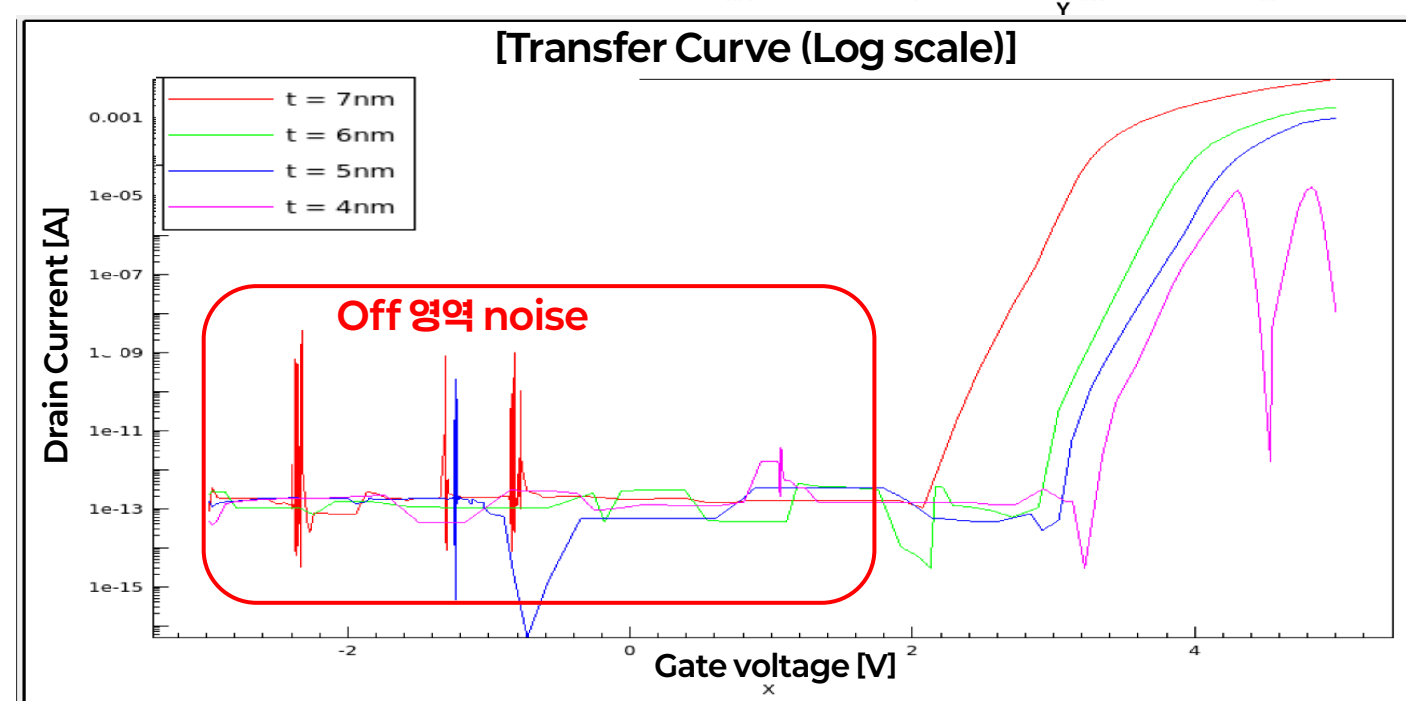


RESULT

[Recess Gate 적용 E mode 소자] (Total length = 32um / $L_G=5um$ / $L_{SD}=1um$)

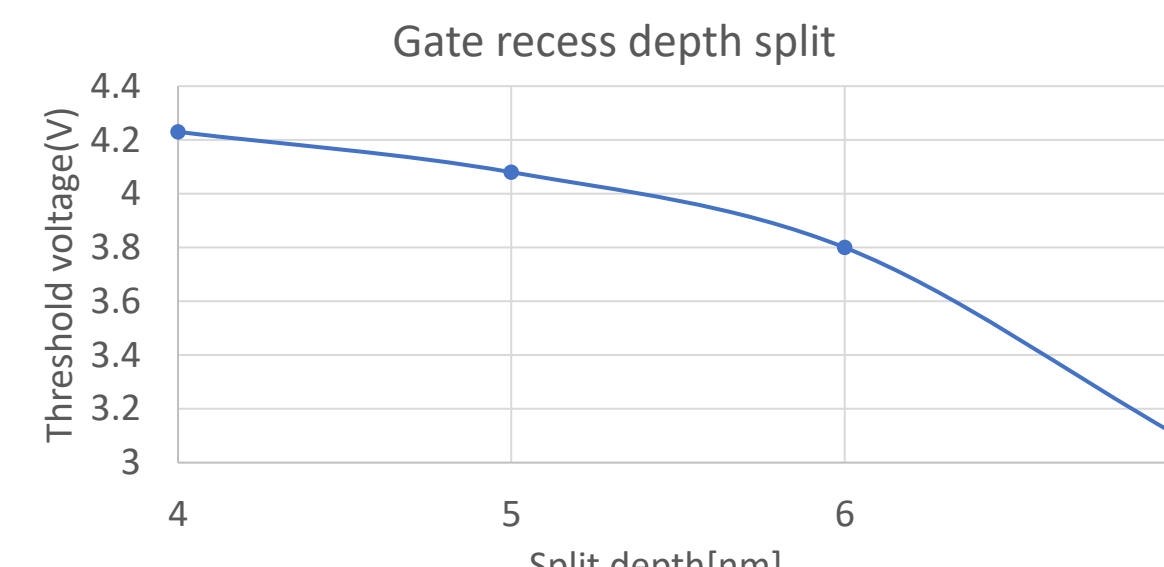


1. Gate Recess depth split

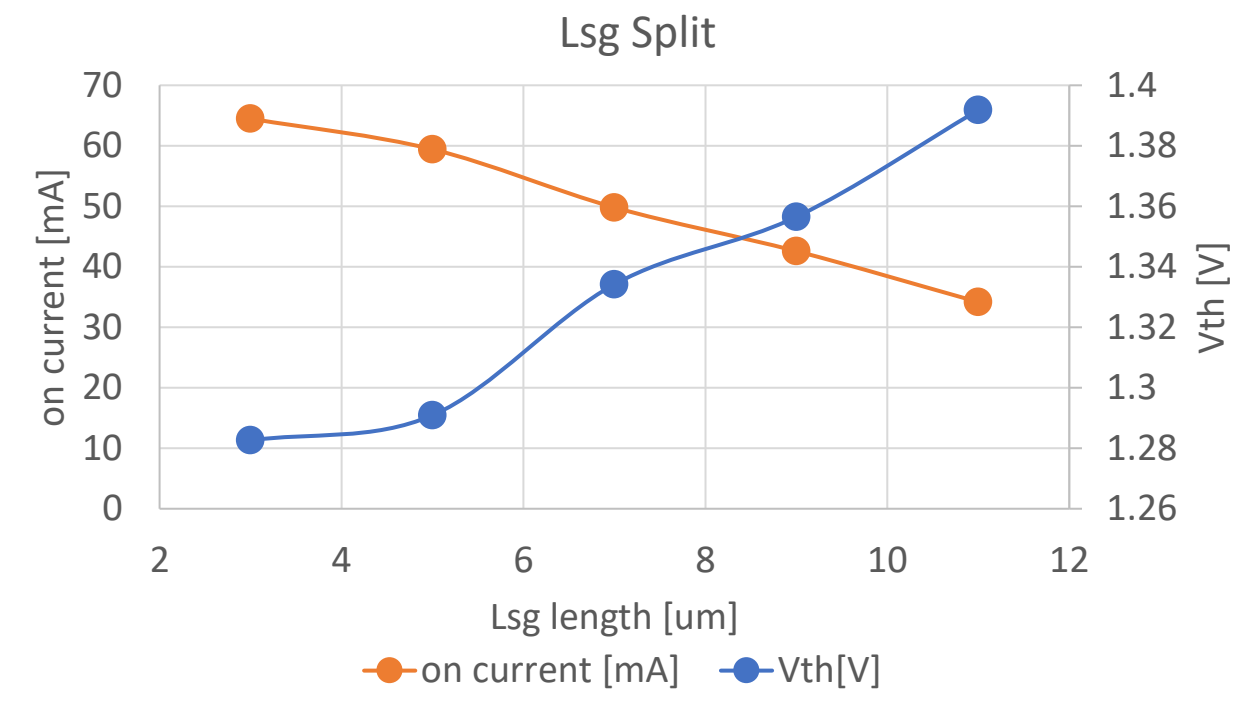
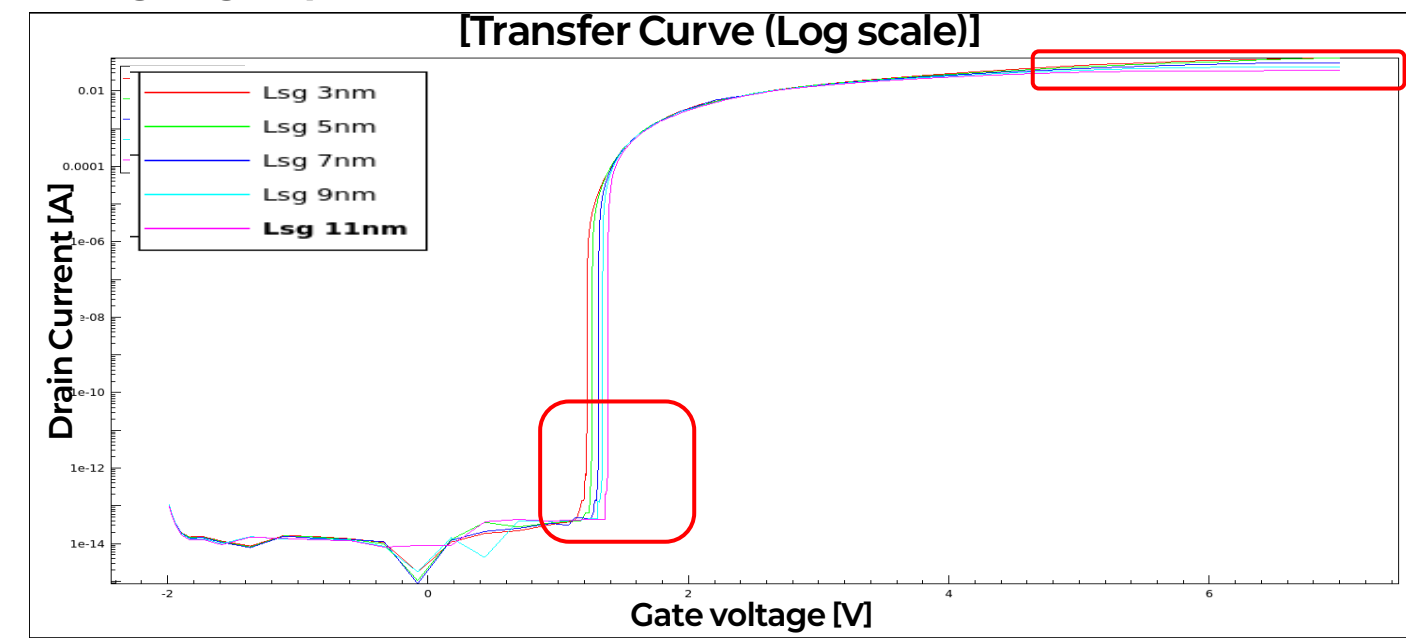


Parameter Split

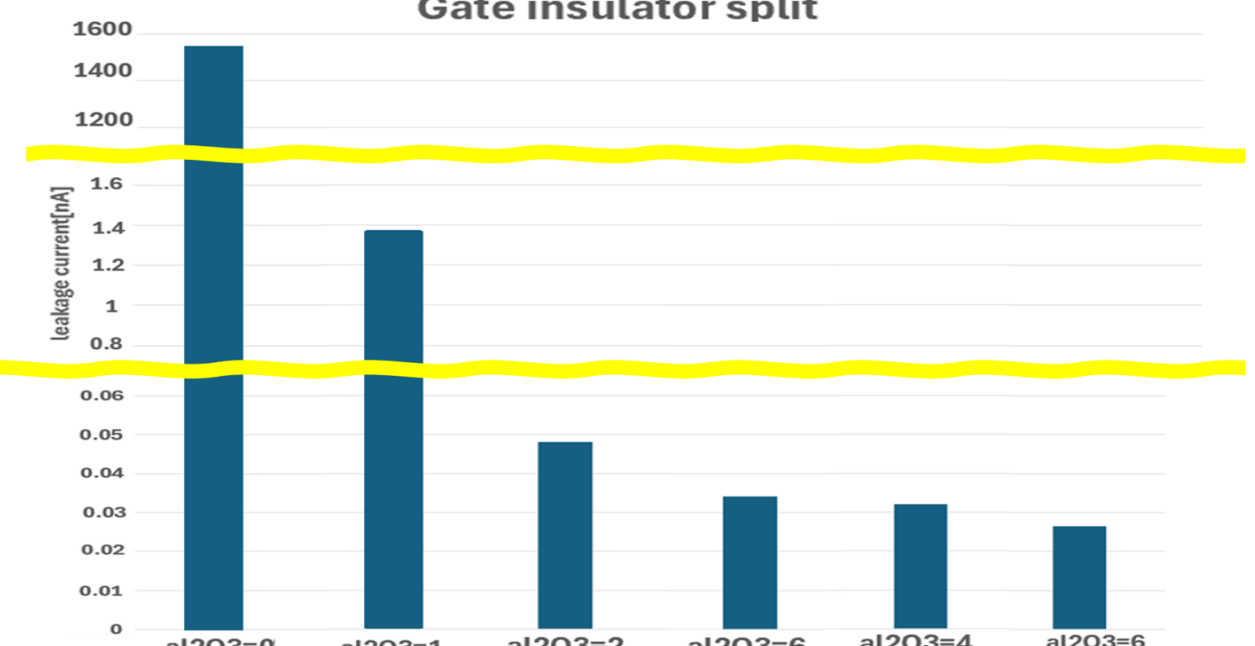
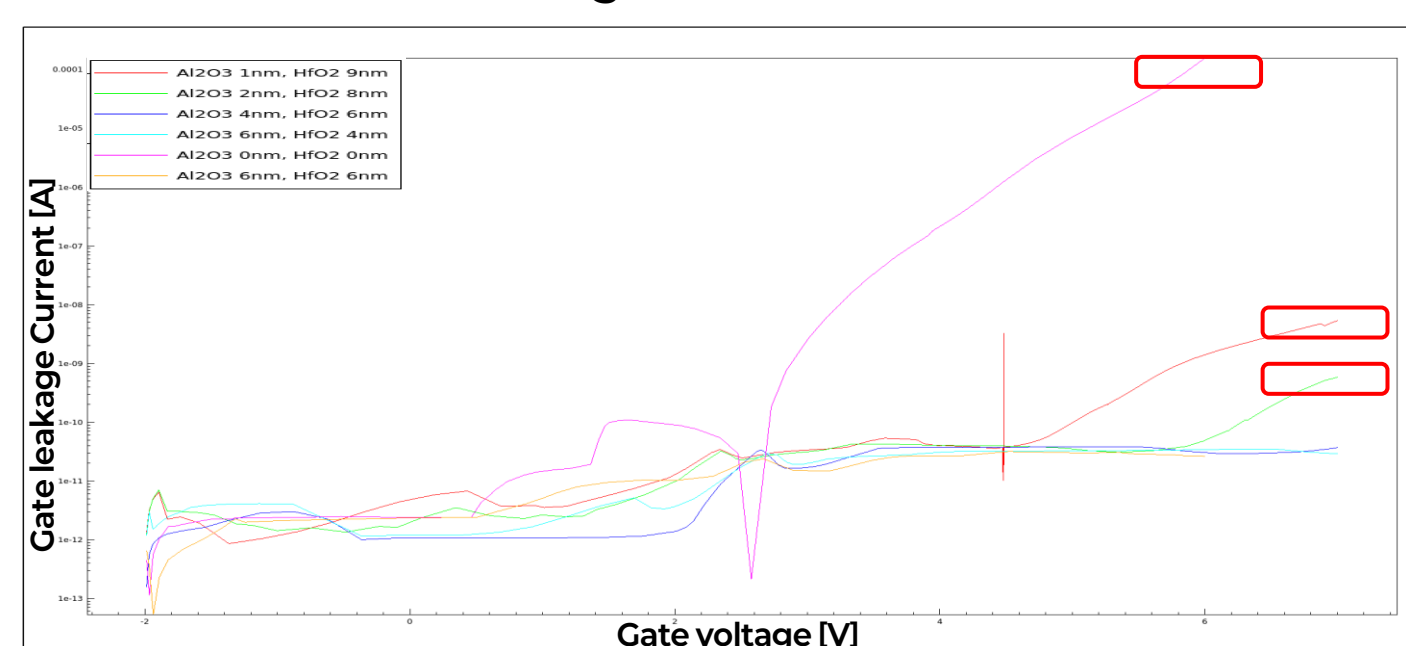
1. Gate Recess Depth
2. Lsg / Lgd
3. Insulator (Al_2O_3 , HfO_2) Thickness
4. SiN Stress



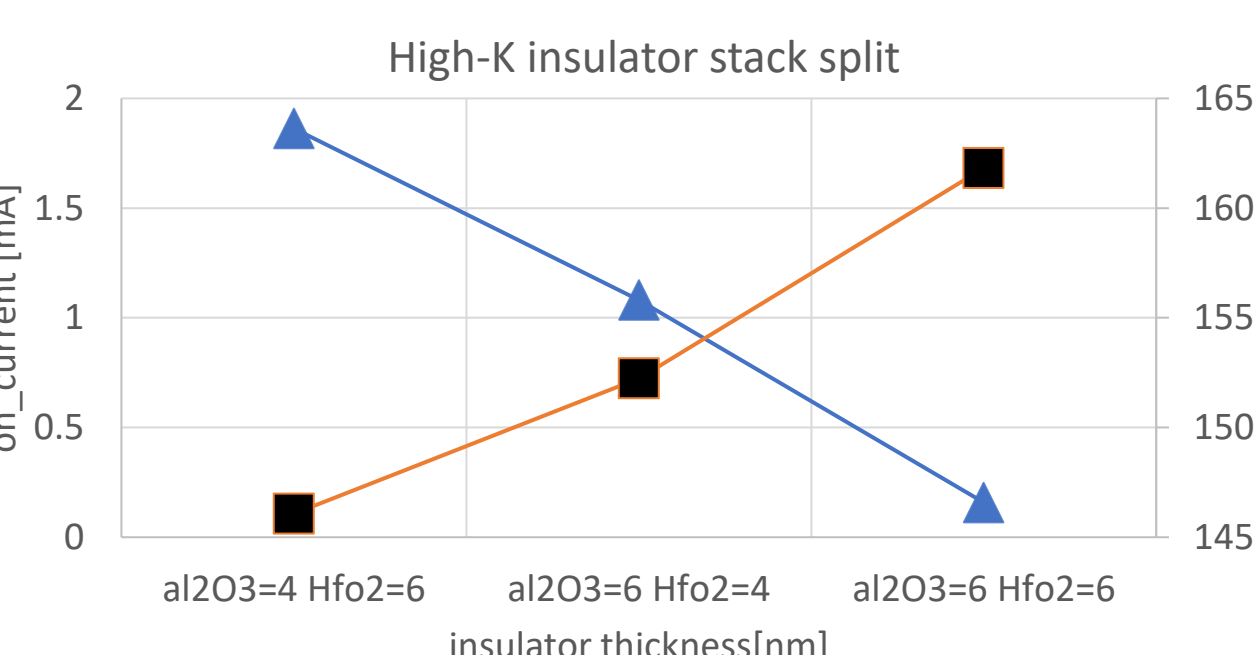
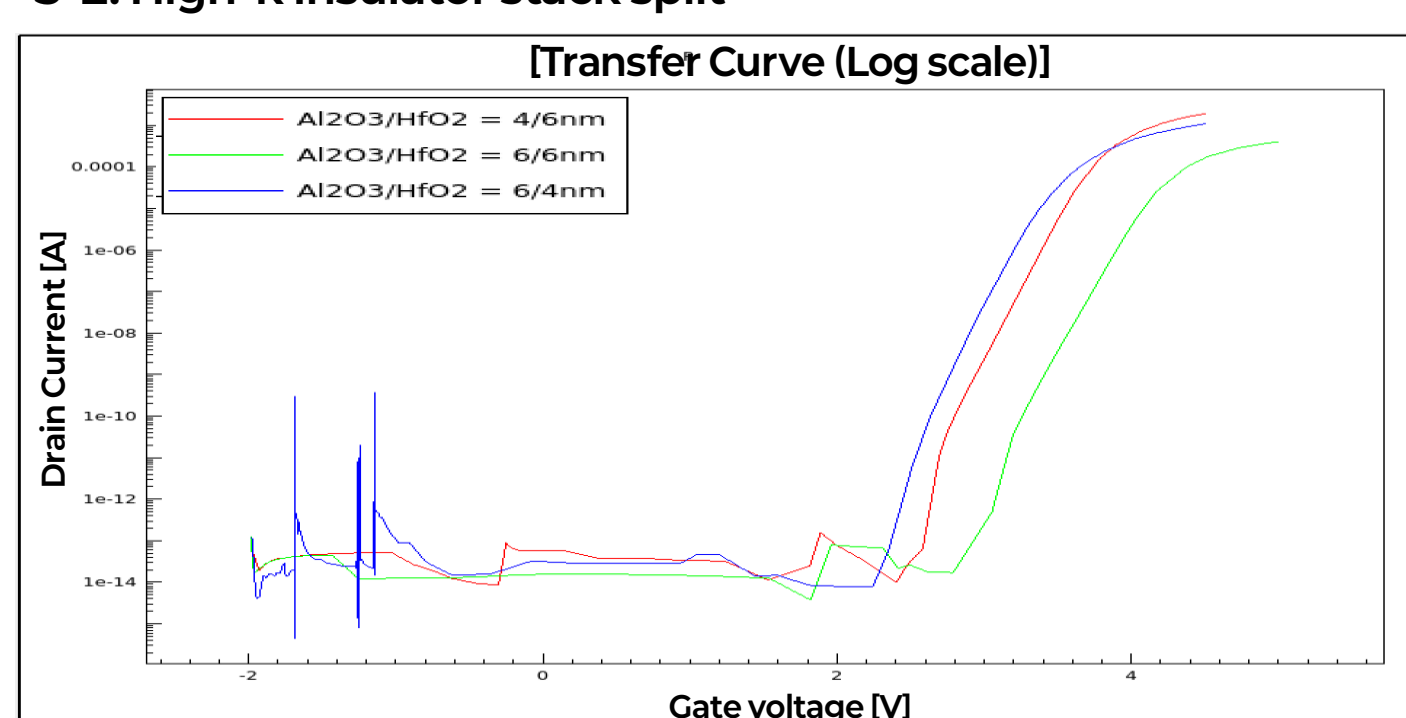
2. Lsg, Lgd split (no stress)



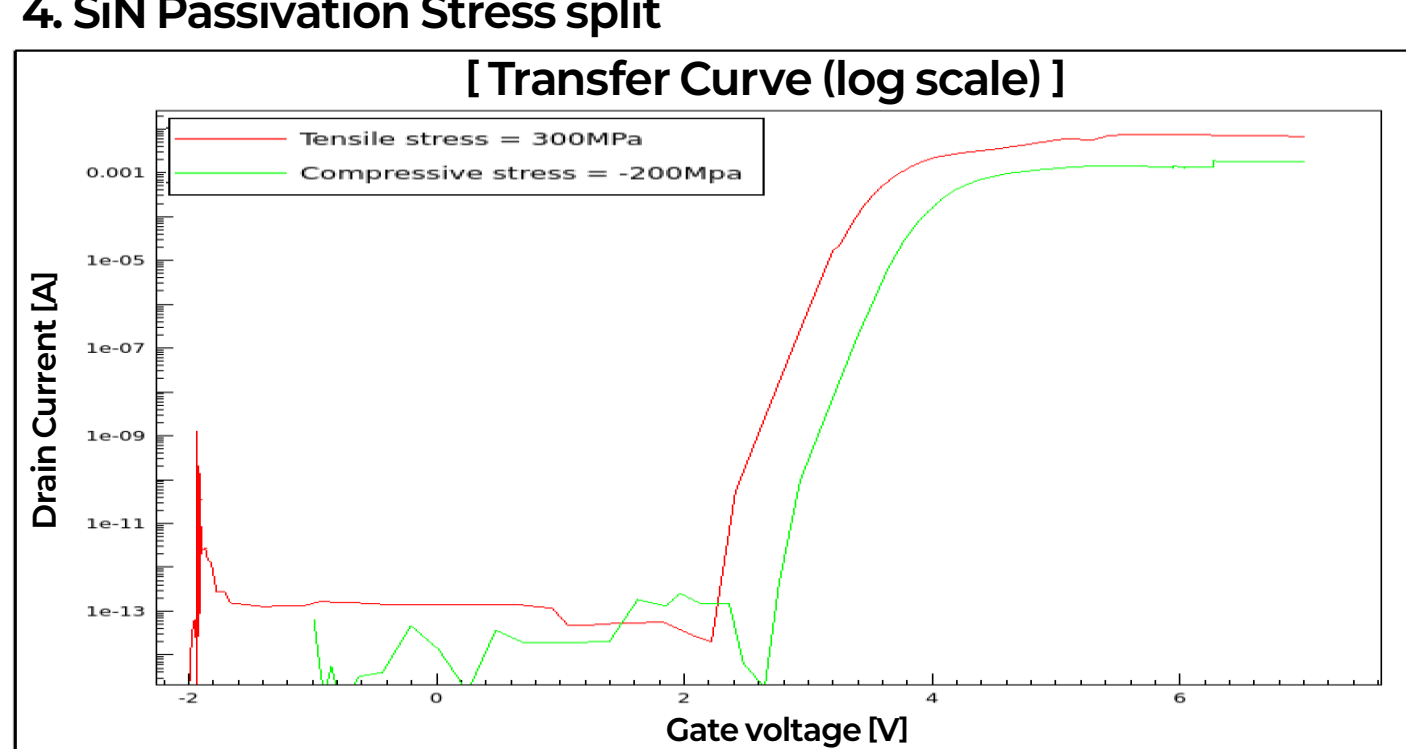
3-1. Insulator Gate Leakage



3-2. High-k Insulator stack split



4. SiN Passivation Stress split



	Compressive stress Value	Tensile stress Value
Driving Current ($V_g=6V$)	1.3579 [mA]	7.3436 [mA]
Subthreshold Swing	141.78 [mV / dec]	145.61 [mV / dec]
Vth	3.68 [V]	3.17 [V]

최종 Parameter 설정

1. Gate Recess Depth
: Recess depth를 통해 Vth 조절 가능하다. 따라서 안정적인 E mode 동작 확보를 위해 Recess 깊이는 6nm로 설정하였다.
2. Lsg / Lgd (총 Length 고정)
: Lsg를 감소시키면 스위칭 속도가 향상되며, 그에 따라 Vth가 낮아져 Driving Current가 증가한다. 반면 Lgd 거리를 증가시키면 전계 집중 완화 가능하다. 공정 상 허용되는 최소 선폭을 고려하여 Lsg는 5um로 설정하였다.
3. Insulator
: 절연막은 Leakage Current와 Gate Control에 영향을 미친다. Leakage Current 감소를 위해 Insulator를 사용하였으며, AlGaIn 및 GaN과의 계면 안정성이 우수한 Al_2O_3 와 Gate 제어 특성 및 Driving current 향상을 위해 HfO_2 를 선정하였다. 적층 구조의 두께 비율은 논문 값 참조 및 Simulation을 통하여 Al_2O_3 , $HfO_2 = 4 nm, 6 nm$ 의 적층 구조를 채택하였다.
4. SiN Stress
: Tensile / Compressive Stress를 적용함으로써 Vth와 Driving Current 조절 가능하다. 본 연구에서는 Driving Current 향상을 목표로 Tensile Stress를 선택하였으며, 실제 공정에서 사용되는 Parameter값을 기반으로 설정하였다.



CONCLUSIONS

1. Normally – Off 확인

: Threshold Voltage(Vth)가 Tensile에서 3.17 V에서 나타나는 것을 통해 Enhancement Mode 동작이 구현됨을 확인하였다. 공정 안정성을 고려하여 보수적으로 설정하였기 때문에 Vth가 다소 높게 형성되었다. 따라서 Vth가 0V에 근접하도록 조건을 조정한다면 추가적인 개선이 가능할 것으로 예상된다.

2. Gate Leakage Current 감소 효과

: 3-1 그래프 분석 결과, Insulator의 총 두께가 증가할수록 Leakage가 줄어드는 것을 확인하였으며, Al_2O_3 의 두께가 얇을수록 Gate Leakage Current가 높게 나온 것을 확인할 수 있다.

3. Driving Current 향상

: Driving Current 향상을 위해 Lsg를 작게 설정하고, Insulator Stack 구조를 적용하였다. 또한 SiN Passivation Layer를 AlGaIn/GaN 층에 인장 응력(Tensile Stress)을 부여하는 조건으로 증착하였다. 이를 통해 압축 응력(Compressive Stress) 대비 더 높은 Driving Current를 확보할 수 있었다.

참고문헌

1. Understanding the AlGaIn-GaN heterostructure / Danielle Gruber / <https://danielle-i-gruber.medium.com/understanding-the-algan-gan-heterostructure-5d53da508ae5>
2. Fernandes Paes Pinto Rocha, P.; Vauche, L.; Pimenta-Barros, P.; Buel, S.; Escoffier, R.; Buckley, J. Recent Developments and Prospects of Fully Recessed MIS Gate Structures for GaN on Si Power Transistors. Energies 2023, 16, 2978. <https://doi.org/10.3390/en16072978>
3. 안영호. "Pt/graphene/SiO2 이중 게이트 구조의 AlGaIn/GaN HEMT 기판 고감도 수소센서." 국내석사학위논문 아주대학교, 2020. 경기도 / 4p / [그림 1]



아주대학교 | 전자공학과



반도체특성화대학사업단



경기도 대학혁신플랫폼