

28nm RISC 프로세서 저전력 설계: Physically-Aware 합성과 UPF 기반 방법론 적용

Low-Power Design Implementation of a 28nm RISC Processor: A Physically-Aware Synthesis and UPF-Driven Methodology

Researcher 조성원

Professor 이종민

2025
전자공학과
산학박람회

ABSTRACT

반도체 공정이 미세화됨에 따라 칩의 전력 밀도는 급격히 증가하고 있으며, 배선 지연이 전체 타이밍에 미치는 영향이 확대되고 있다. 이에 따라 기존 WLM 기반 합성은 실제 P&R 단계와의 Correlation 저하를 야기하여 Timing Closure를 어렵게 한다.

본 연구는 이러한 한계를 극복하고 현대 고성능 SoC 설계의 핵심 요구사항인 저전력 설계를 구현하는 것을 목적으로 한다. Synopsys 28nm 공정 기반의 RISC Processor를 타겟으로 DC Graphical 흐름을 구축하여 Congestion과 타이밍 예측 정확도를 획기적으로 개선하였다.

또한, UPF 기반 Multi-Voltage 및 Power Gating 기술을 단계적으로 적용하여 기존 Design 대비 각각 **15.1%, 53.5%의 전력 감소**를 달성했다. 저전력 설계에 따른 성능 저하는 Multi-Vth 최적화로 보상하여, 목표 동작 주파수인 166.7MHz를 유지하였다.

최종적으로 Baseline, Multi-Voltage, Power Gating 설계의 3단계 PPA 비교 분석을 통해 Trade-off를 분석한다.

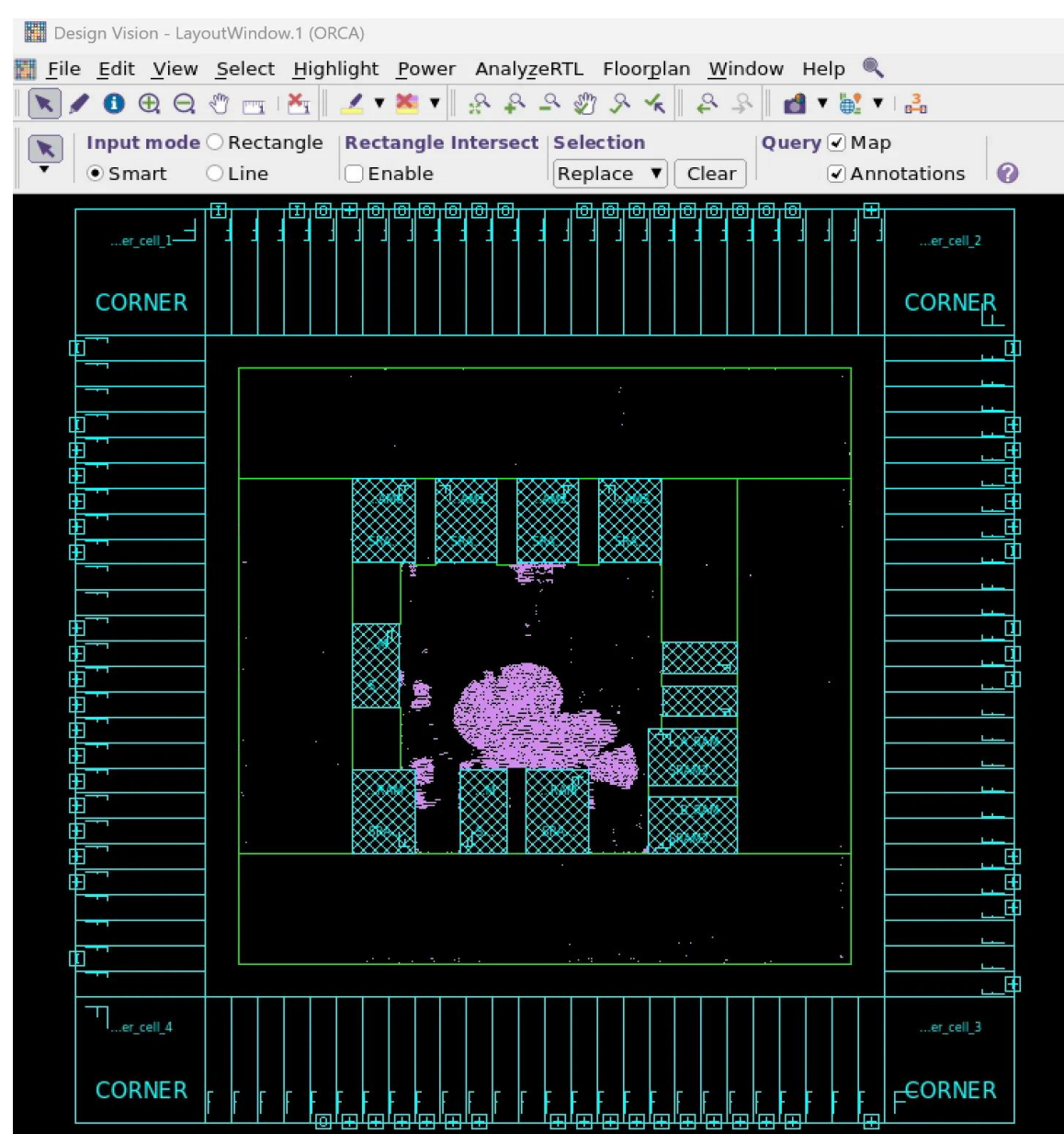
OBJECTIVES

- Synthesis-PnR Correlation 개선:**
물리적 위치 정보를 합성에 반영하는 DCG Flow를 구축하여 Pre-STA의 신뢰도 확보 및 Iteration 최소화.
- Advanced Low-Power Implementation:**
단순 Clock Gating을 넘어, UPF 표준을 활용한 Multi-Voltage 및 Power Gating 기법을 Frontend부터 Backend까지 구현.
- PPA Optimization:**
 - Low-Voltage(0.7V) 환경에서의 Timing Closure 달성.
 - Multi-Vt 최적화를 통한 Performance 유지.
 - 저전력 기법 적용에 따른 Area Overhead와 Power Gain의 정량적 분석.

METHODOLOGY

3.1 Physically-Aware Synthesis (DC Graphical)

- Physical Guidance:** 초기 Floorplan 후 추출된 DEF 파일을 합성 단계에 로드하여 실제 배선 혼잡도(Congestion) 예측 및 최적화 수행.
- Correlation:** WLM 대신 실제 물리적 위치 정보를 기반으로 기생 RC 성분 계산. 이를 통해, 합성(Synthesis) 단계에서 후속 물리 설계(P&R) 결과와의 타이밍, 면적, 전력 Correlation을 획기적으로 개선.

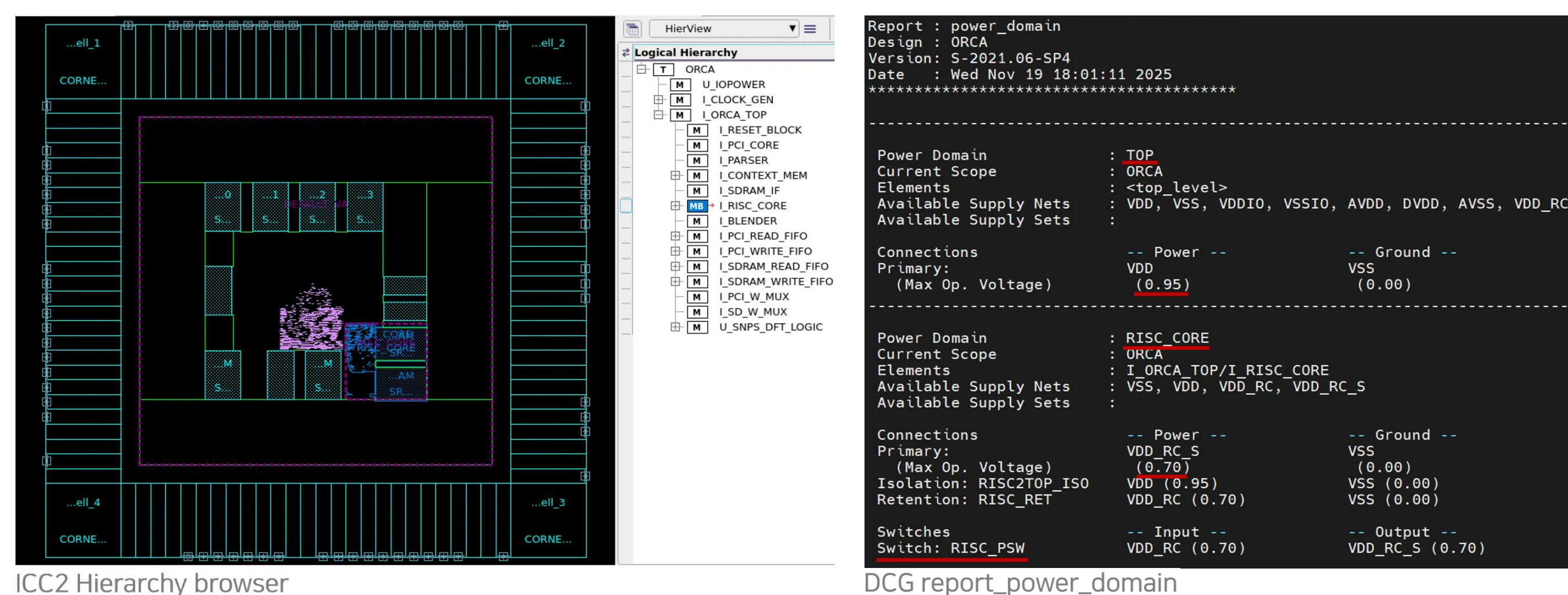


DC Graphical Layout Window

3.2 UPF-Driven Low-Power Architecture

본 연구는 저전력 기술의 효율성을 검증하고자 Baseline, Multi-Voltage, Power Gating의 3단계 설계를 순차적으로 구현하고 결과를 비교한다. Power intent를 upf에 기술하였고, Power Gating의 경우 Power Controller Logic을 RTL로 설계하여 기존 프로세서와 통합하였다.

- Baseline:**
 - Single Voltage (0.95V)
- Multi-Voltage (MV):**
 - TOP (0.95V) / RISC_CORE (0.7V) 전압 도메인 분리.
 - Level Shifter 삽입을 통한 도메인 간 신호 무결성 보장.
- Power Gating (MV + PG):**
 - SLEEP mode에서 RISC_CORE 전원 차단.
 - Isolation Cell: Power off 시 Floating 신호 방지.
 - Retention Register: Power off/on 간 데이터 보존.



RESULT

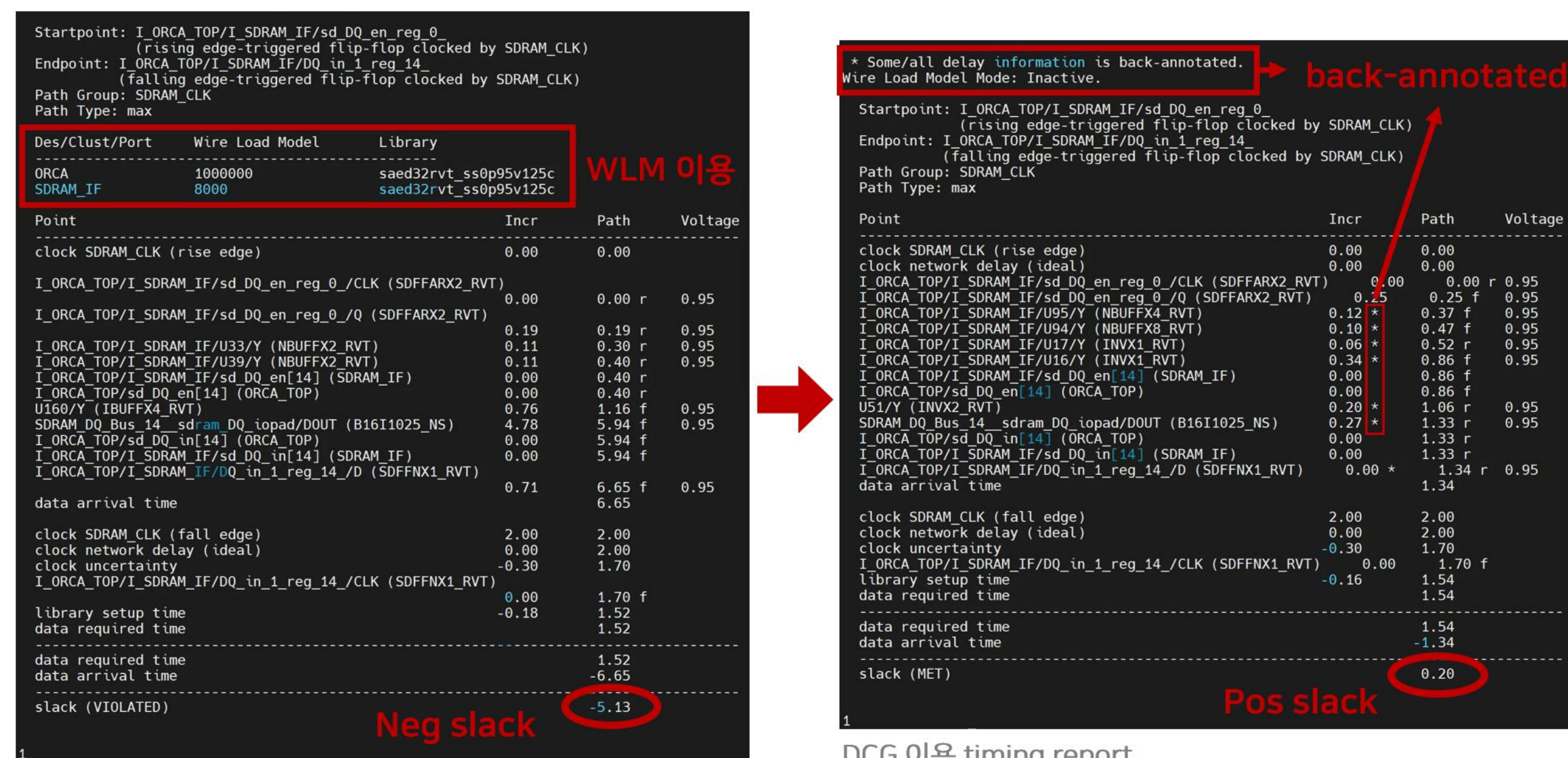
4.1 DCG Implementation Results

- Congestion 개선:** DCG 적용을 통해 PnR 초기 GRC 및 Total Overflow가 310에서 89로 약 **71%** 감소한 것을 확인하였다.

icc2_shell> report_congestion						icc2_shell> report_congestion					
*****						*****					
Report : congestion						Report : congestion					
Design : ORCA						Design : ORCA					
Version: T-2022.03-SP5						Version: T-2022.03-SP5					
Date : Thu Nov 13 14:49:05 2025						Date : Thu Nov 13 14:47:00 2025					
*****						*****					
Layer	total	max	overflow (%)	# GRCs	has	Layer	total	max	overflow (%)	# GRCs	has
Name					overflow	Name					overflow
Both Dirs	310	7	259 (0.02%)	1		Both Dirs	89	1	89 (0.01%)	1	
H routing	234	2	233 (0.03%)	1		H routing	0	1	89 (0.01%)	89	
V routing	76	7	26 (0.00%)	1		V routing	0	0	0 (0.00%)	0	

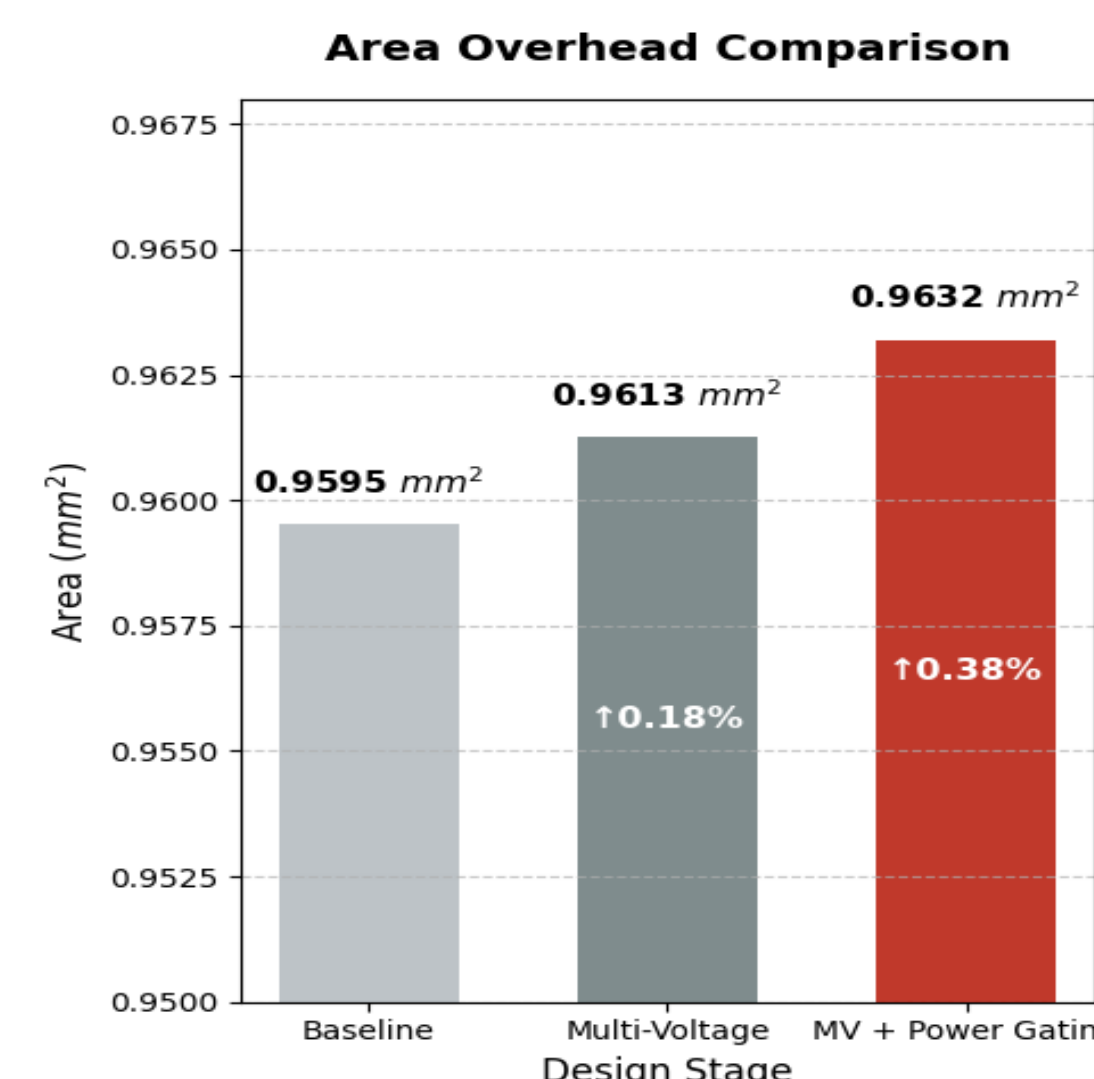
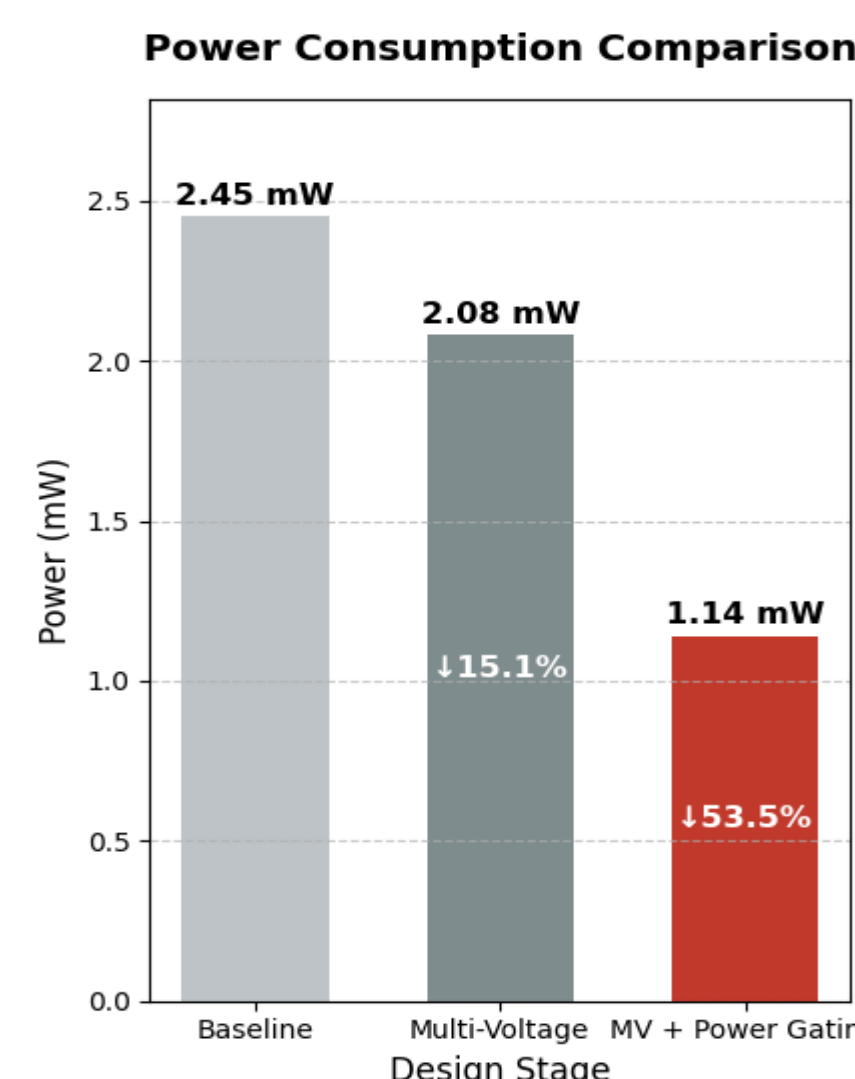
DCG 이전 / 이후, ICC2 report_congestion 결과 비교

- Timing Convergence:** Pre-STA 단계에서 예측된 Timing과 실제 PnR 후 Timing 간의 오차를 감소를 확인하였다.



4.2 Power / Area Trade-off Analysis

- Power:**
설계 단계별 PrimeTime-PX 분석 결과, Baseline 대비 Multi-Voltage 적용 시 **15.1%**, Power Gating 적용 시 **53.5%**의 전력 감소를 달성하였다.
- Area:**
Power Management Logic / Cell 삽입으로 인해, 각각 **0.18%, 0.36%**의 면적 증가가 발생하였다.



CONCLUSIONS

- 본 연구는 28nm 공정에서 DCG 및 UPF 기반의 저전력 설계를 성공적으로 구현하였다.
- DCG Flow를 도입하여 GRC Overflow를 **71%** 개선하였으며, Multi-Voltage와 Power Gating을 단계적으로 적용해 전력 소모를 각각 **15.1%, 53.5%** 절감하였다.
- 특히 Multi-Vt 최적화를 통해 성능 저하 없이 목표 동작 주파수를 유지함으로써, 현대 ASIC 설계의 핵심 과제인 고성능-저전력 방법론을 정량적으로 검증하였다.

