

동공 중심 추출 회로

Pupil center detection circuit for Eye tracker

2025
전자공학과
산학박람회

Researcher 강보훈

Professor 지동우 교수님

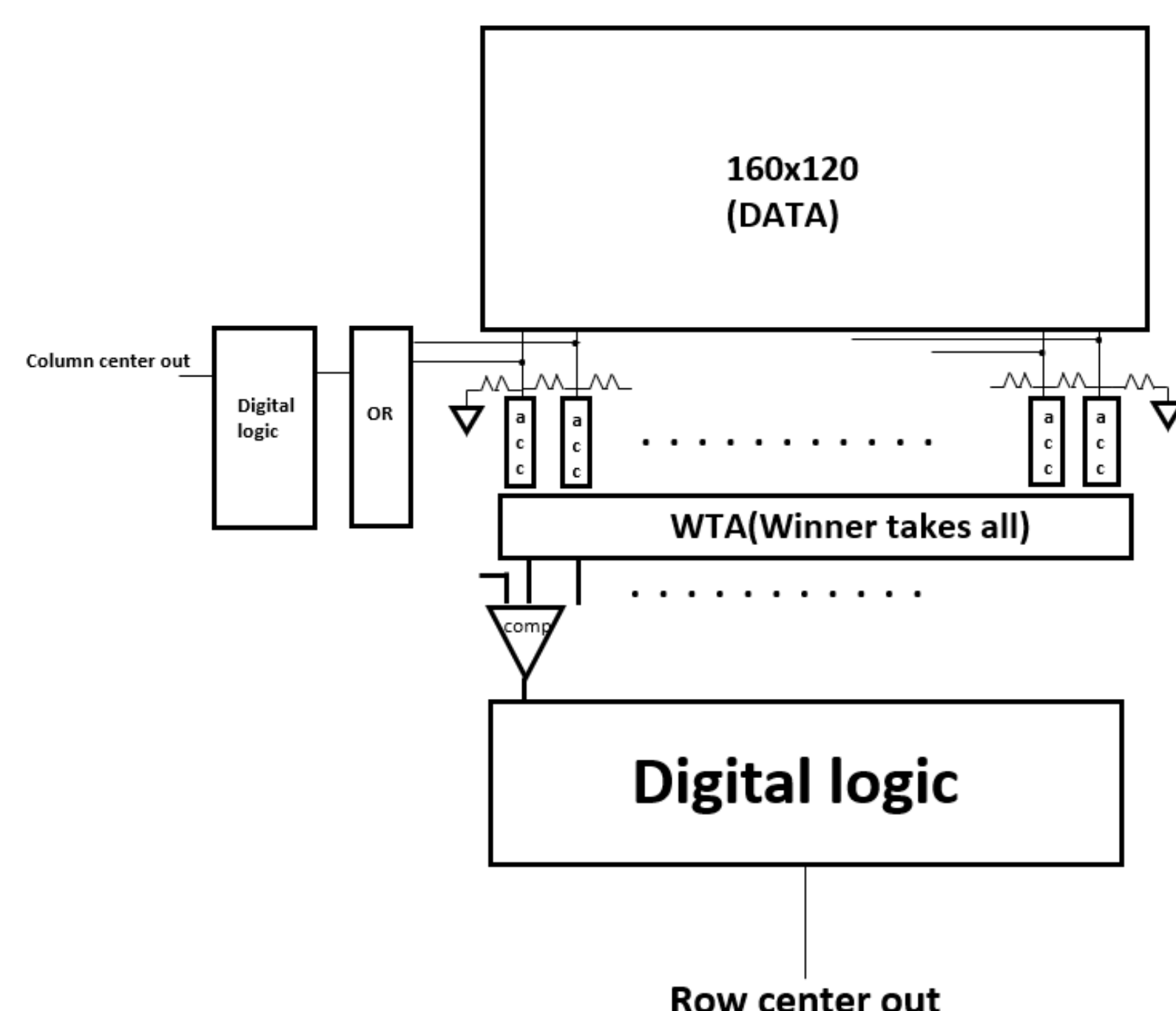
ABSTRACT

최근 AR/VR HMD, 운전자 상태 모니터링 등에서 실시간 시선 추적이 중요해지고 있으나, 기존 소프트웨어 기반 eye tracker는 센서에서 전체 영상을 읽어 외부 프로세서에서 처리해야 하므로 전력 소모와 지연이 크다는 한계가 있다.

본 연구에서는 이러한 문제를 해결하기 위해 processing-in-sensor 개념을 적용하여 160×120 센서 어레이에서 동공 중심을 직접 추출하는 회로를 제안한다. 세로 중심의 경우 100개 표본에 대해 소프트웨어 결과와의 평균 오차가 0.36 pixel, 가로 중심의 경우 100개 표본에 대해 소프트웨어 결과와의 평균 오차가 0.46 pixel임을 확인하여, 회로가 안정적으로 동공 중심을 추출하는 것을 확인하였다.

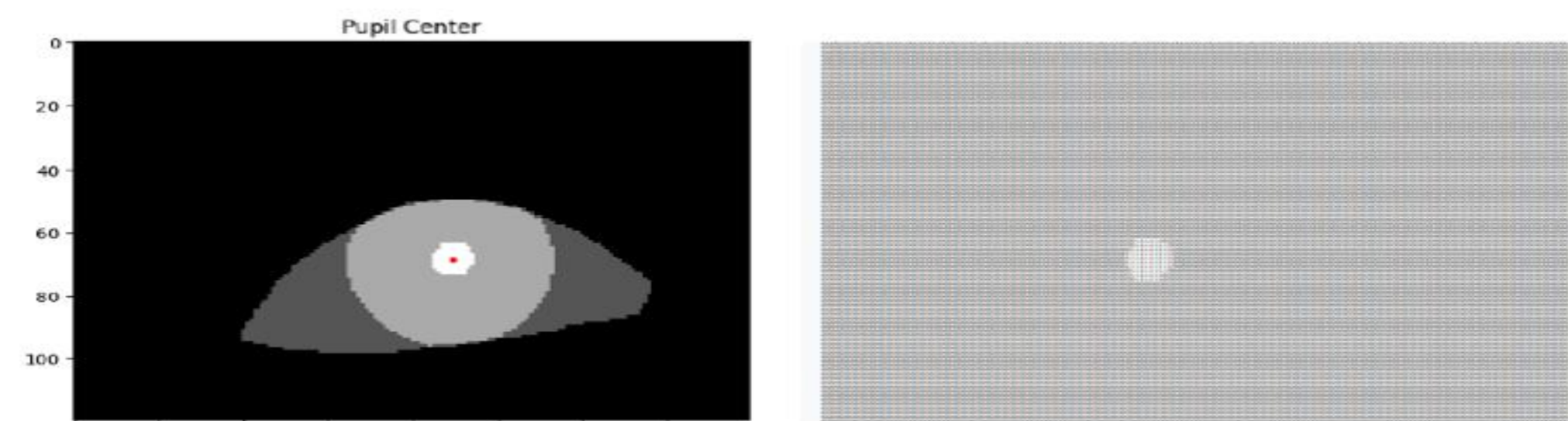
OBJECTIVES

160x120 센서 어레이에서 전체 이미지를 외부로 출력하지 않고 processing in sensor 개념을 이용해 센서 내부에서 동공 중심 좌표만을 추출하는 Eye tracker 하드웨어를 구현, 검증하는 것이다. 인간의 동공 모양이 원인 것을 이용하여 가로 중심 추출 회로는 column parallel한 구조로 RC decay - accumulator - WTA -Digital logic으로, 세로 방향 중심은 OR circuit - Digital logic으로 계산하는 구조를 설계하고 목표 frame인 555fps에서 동작 가능성과 정확도를 시뮬레이션을 통해 평가한다. 아래 그림은 전체 architecture이다.



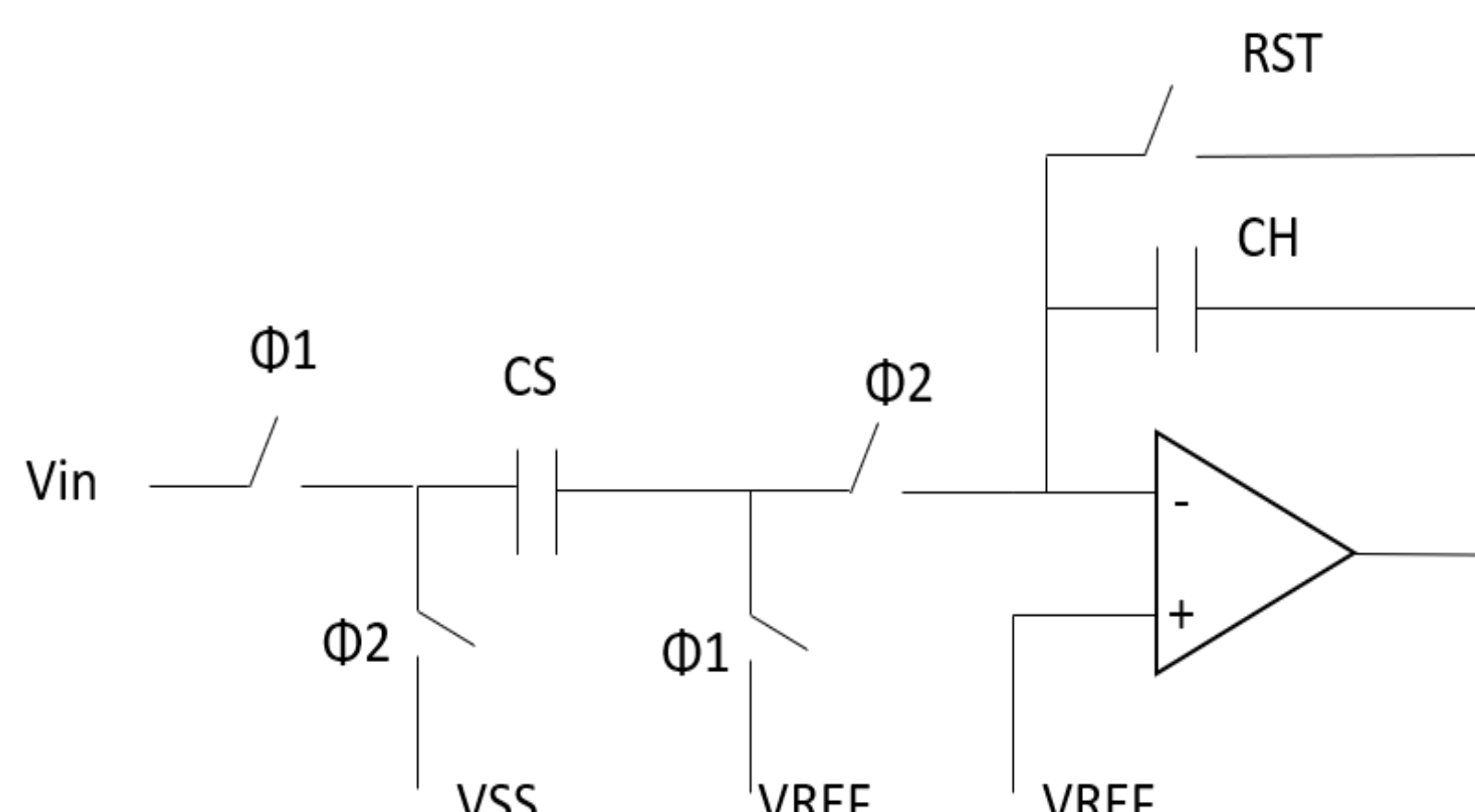
METHODOLOGY

-Image dataset

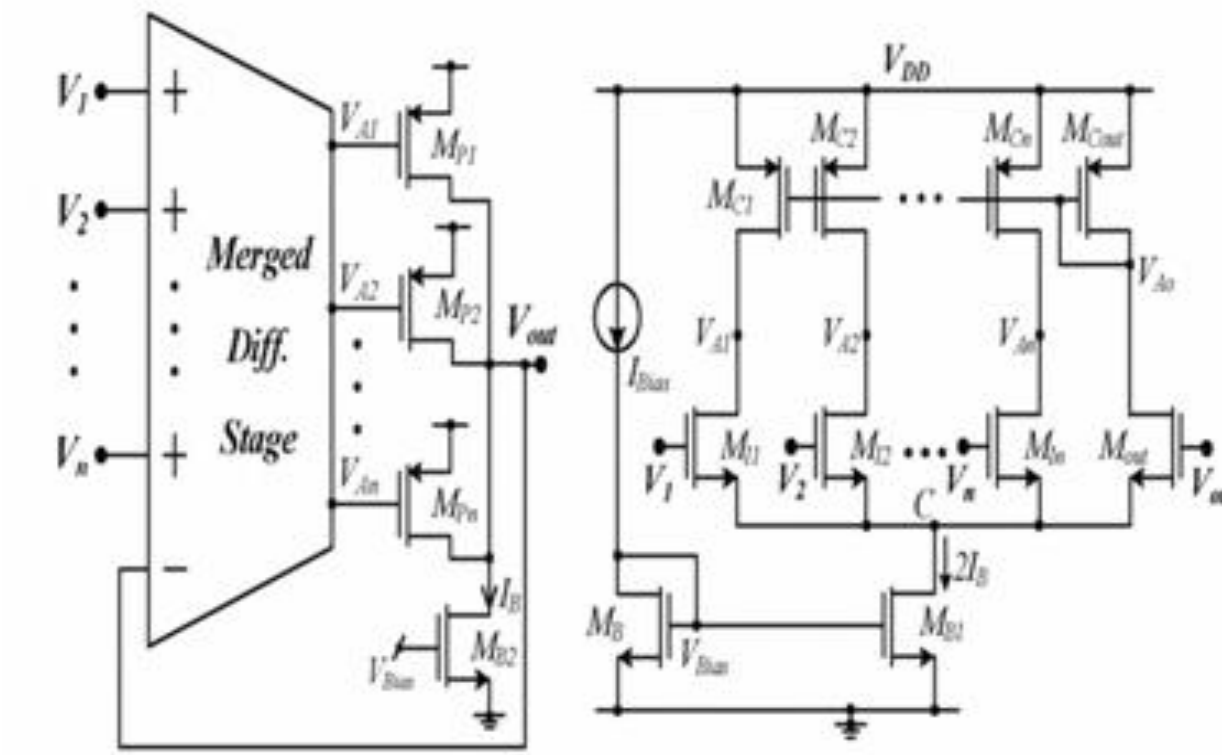


동공 중심(89,68)

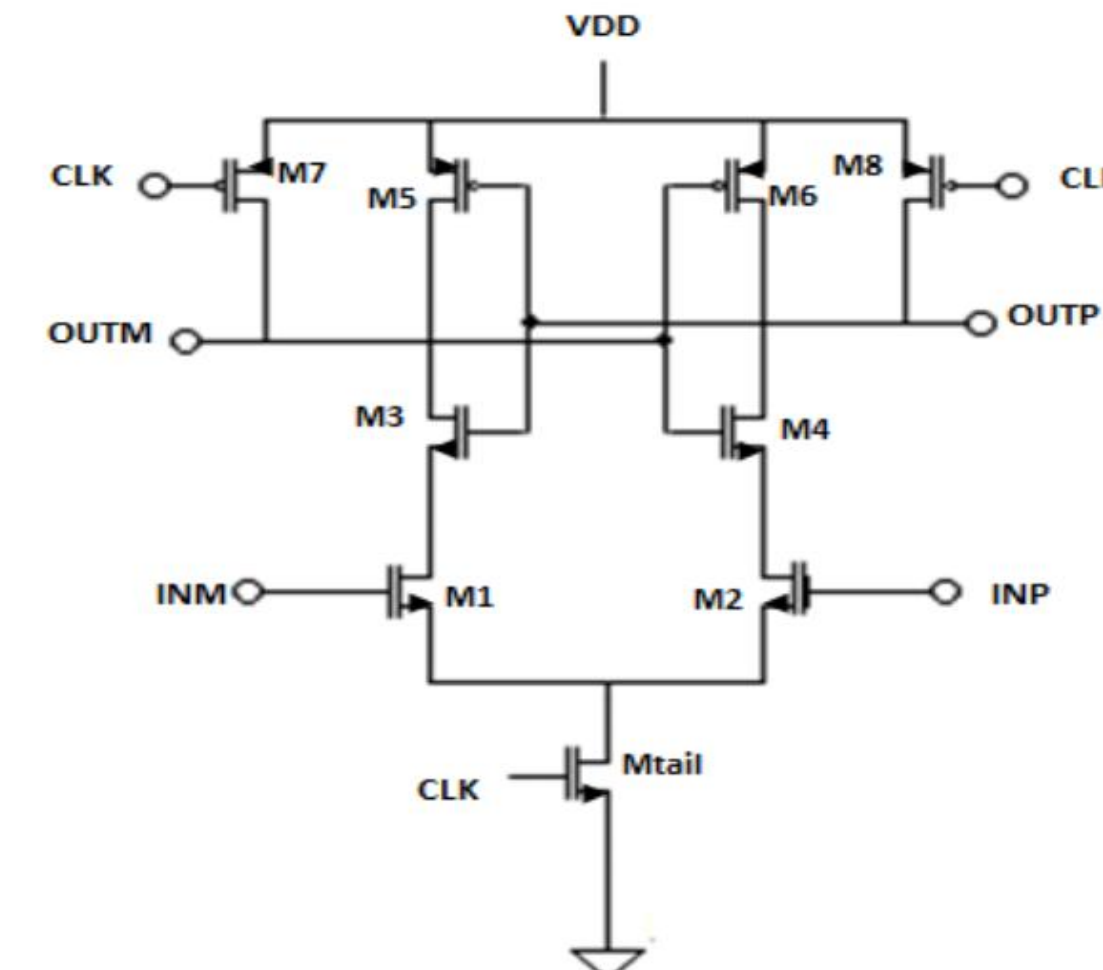
-SC integrator(accumulator)



-Winner take all circuit



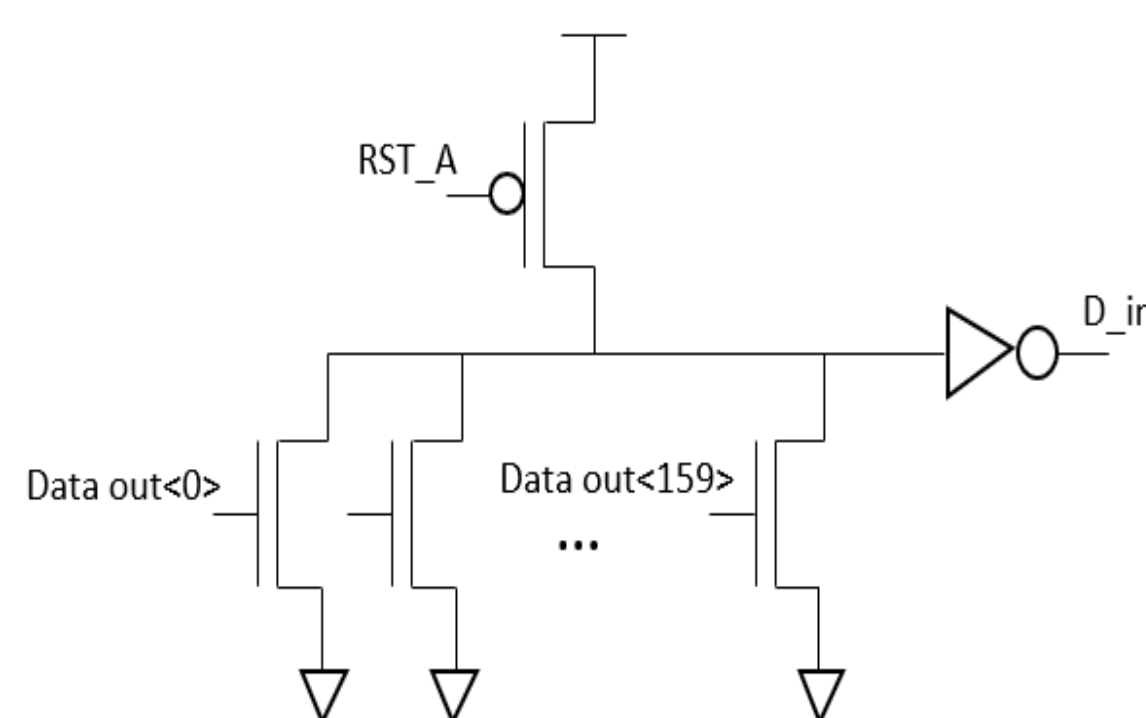
-dynamic comparator



<동공 가로 중심 추출 flow>

1. data는 row by row 형식으로 전달되며 각 row의 data는 RC Decay를 통해 동공 중심에 멀수록 전압이 낮아지게 된다
2. 각 row 별 decay된 전압을 accumulator에서 sampling 하고, holding 하여 row 별 decay전압을 합쳐서 누적한다.
3. Winner take all circuit과 comparator를 통해 동공 중심에 가까운 위치를 digital data 1로 바꾼다.
4. 병렬 입력을 받는 adder-encoder-half_divider-adder로 구성된 디지털 로직을 이용해 첫 1의 위치 + (1의 개수/2) 방식으로 동공의 가로 중심을 계산한다.

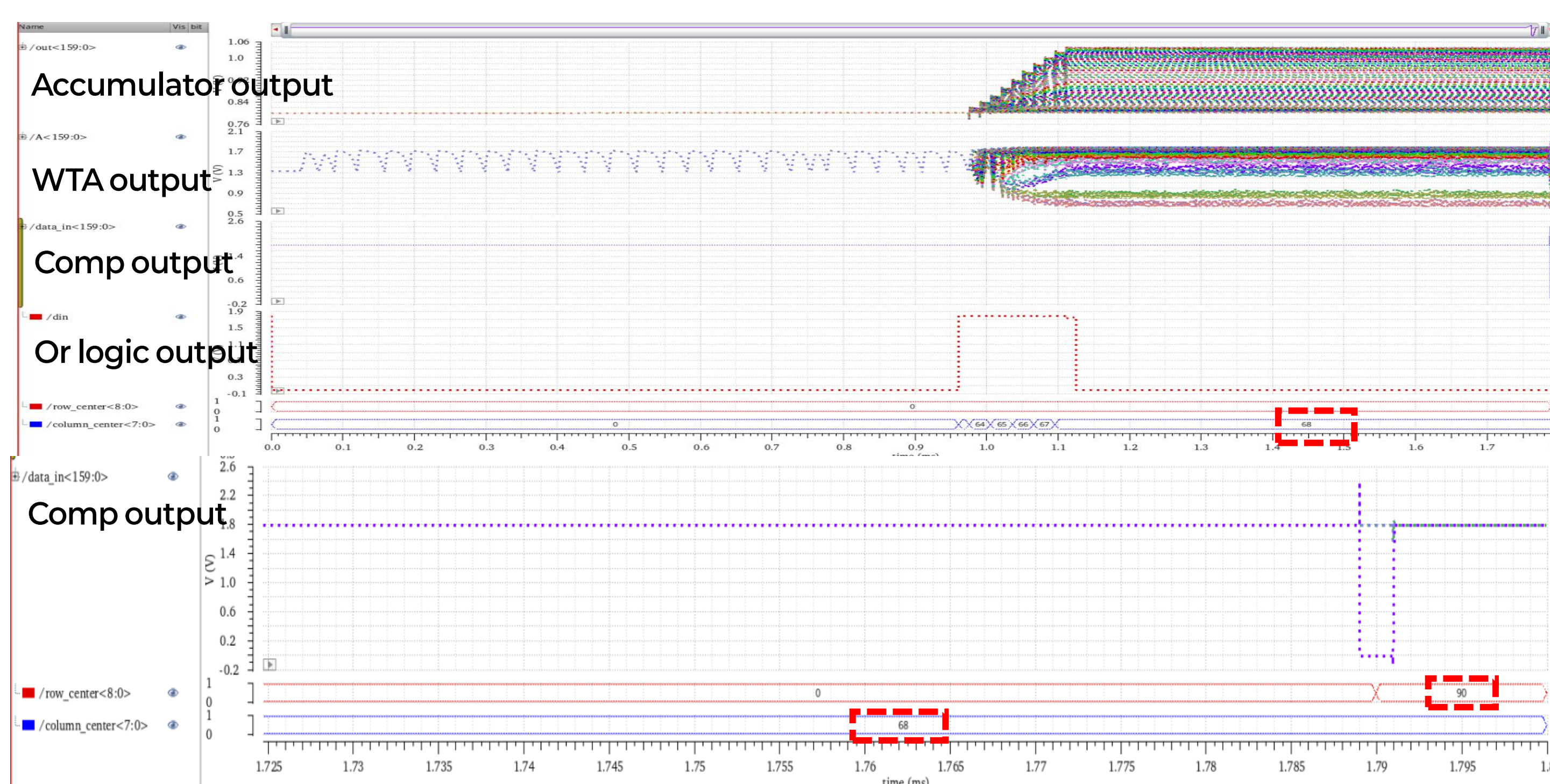
-column OR block



<동공 세로 중심 추출 flow>

1. column OR 블록으로 각 row의 동공 존재 여부를 1비트로 만든다.
2. counter, detector, half_divider, adder를 통한 디지털 로직을 통해 첫 1의 위치 + (1의 개수/2) 방식으로 동공의 세로 중심을 계산한다.

RESULT



Row_center<8:0>: 동공의 가로 중심을 계산한 결과: 90

Column_center<7:0>: 동공의 세로 중심을 계산한 결과: 68

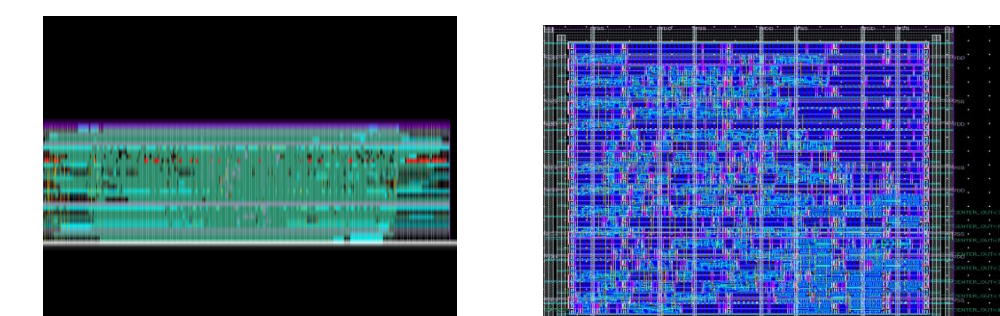
소프트웨어에서 계산한 동공 중심(89,68)과 세로 0, 가로 1pixel 차이로 총 1pixel의 위치 오차

CONCLUSIONS

본 연구를 통해 160×120 센서 어레이에서 processing-in-sensor 구조로 동공 중심을 직접 추출하는 회로를 제안하였다.

정확도를 검증하기 위해 100개의 image data를 넣어서 얻은 결과와 소프트웨어 결과와의 차이를 정리하면 아래의 표와 같다.

단위:pixel	평균	분산	min	max
가로 중심	0.46	0.27	0	2
세로 중심	0.36	0.05	0	1



또한, 위의 두 사진과 같이 digital logic들의 PNR까지 마무리하여 전체 circuit의 power를 확인한 결과, 1.8ms 기준 30uW power가 소모되며, 목표한 frame인 555fps내에 동작함을 확인하였다.

